

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder.

申請日：西元 2002 年 10 月 25 日
Application Date

申請案號：091125179
Application No.

申請人：統寶光電股份有限公司
Applicant(s)

CERTIFIED COPY OF
ORIGINAL DOCUMENT

局長
Director General

蔡練生

BEST AVAILABLE COPY

發文日期：西元 2003 年 11 月 日
Issue Date

發文字號：09221113970
Serial No.

申請日期： 案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	純P型電晶體之電壓準位移位器
	英文	Voltage Level Shifter With Pure P-type Transistor
二、 發明人	姓名 (中文)	1. 邱昌明
	姓名 (英文)	1. Chaung-Ming Chiu
	國籍	1. 中華民國
	住、居所	1. 桃園縣中壢市龍興路487號 No. 487, Lungshing Rd., Jungli City, Taoyuan, Taiwan 320, R.O.C.
三、 申請人	姓名 (名稱) (中文)	1. 統寶光電股份有限公司
	姓名 (名稱) (英文)	1. Toppoly Optoelectronics Corp.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區苗栗縣竹南鎮仁愛路121巷5號 NO.5, LANE 121, REN-AI RD., SCIENCE-BASED INDUSTRIAL PARK, CHU-NAN 350, MIAOLI COUNTY, TAIWAN, R.O.C.
	代表人 姓名 (中文)	1. 陳瑞聰
	代表人 姓名 (英文)	1. Jui-Tsung Chen

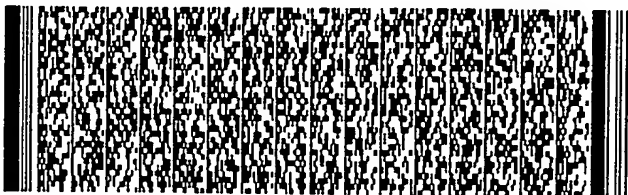


四、中文發明摘要 (發明之名稱：純P型電晶體之電壓準位移器)

本發明係揭露一種以純P型電晶體所組成之電壓準位移器。由於純P型電晶體之電壓準位移器之製程與常用之液晶顯示面板的製程完全相容，所以純P型電晶體電壓準位移器可直接整合於液晶顯示面板的製程。因此，運用本發明，可以不用另行外購電壓準位移器的積體電路(IC)，而可有效降低液晶顯示面板與電壓準位移器的製作成本。

英文發明摘要 (發明之名稱：Voltage Level Shifter With Pure P-type Transistor)

A voltage level shifter with pure P-type transistor is disclosed. Because the manufacturing process of the voltage level shifter with pure P-type transistor is consisted with that of general liquid crystal display panel, the manufacturing process of the voltage level shifter with pure P-type transistor can be integrated into the manufacturing process of general liquid crystal display panel. Therefore, it needn't to employ an IC of the voltage level shifter, the



四、中文發明摘要 (發明之名稱：純P型電晶體之電壓準位移器)

英文發明摘要 (發明之名稱：Voltage Level Shifter With Pure P-type Transistor)

manufacturing cost of the liquid crystal display
and the voltage level shifter can be reduced.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

發明領域

本發明是有關於一種電壓準位移器，且特別是有關於可整合於液晶顯示面板製程之純P型電晶體之電壓準位移器。

發明背景

隨著科技的日新月異，電腦的使用量大大的增加，電腦設備亦日漸普及，電腦幾乎成了家家必備的電器用品，人們對於電腦的依賴亦到了不可或缺的地步，因此，對於電腦設備品質的要求也越來越嚴苛，除了電腦操作的速度與效能外，顯示器亦是一項使用者十分重視的設備之一。傳統的顯示器由於本身的體積龐大，在使用時，還會發射出有害人體的輻射，因此，傳統的顯示器慢慢的被淘汰，取而代之的則是技術日趨成熟的液晶顯示面板(Liquid Crystal Display)技術。

一般來說，當液晶顯示面板在動作時，薄膜電晶體陣列(Thin Film Transistor Array)必須要有掃瞄的動作，使顯示資料依序存入薄膜電晶體陣列內的每個顯示單元(Cell)，而這樣的驅動電路中，必須使用到一電壓準位移器(Level Shifter)，用以將低電壓準位之時脈訊號轉換為高電壓準位之時脈訊號，亦即高電壓準位之時脈訊號之峰對峰值(Peak to Peak Value)大於低電壓準位之時脈

五、發明說明 (2)

訊號之峰對峰值，如此一來，該高電壓準位之時脈訊號才有足夠的能力推動後級電路，並完成液晶顯示面板的驅動。

一般來說，習知的電壓準位移位器係由P型電晶體與N型電晶體混合製作於積體電路之中。所以，習知的電壓準位移位器的製程必須包括製作P型電晶體之程序與N型電晶體的程序。其製作過程相當複雜。

現今的液晶顯示面板的製程有純N型電晶體、純P型電晶體與CMOS型電晶體等三種。然而，在以降低成本為考量之下，由於CMOS型電晶體製程與純N型電晶體的製程較為複雜，並且會使用到較多光罩。因此，現今的液晶顯示面板皆走向以純P型電晶體製程為主。

綜上所述，如果嘗試著想要將純P型電晶體的液晶顯示面板製程與電壓準位移位器整合在一起，除了必須增加製作N型電晶體的光罩，而且由於製程更加複雜會導致良率大幅度的降低。非但不能夠降低成本，反而會導致成本的增加，降低公司的競爭力。因此，習知液晶顯示面板與電壓準位移位器必須分別獨立製作，不能夠整合在一起。

發明目的及概述

因此本發明係提出一種純P型電晶體電壓準位移位器，包括：前級電路，其根據一對互補的輸入時脈訊號產生週期性的第一控制訊號與第二控制訊號；而開關電路，



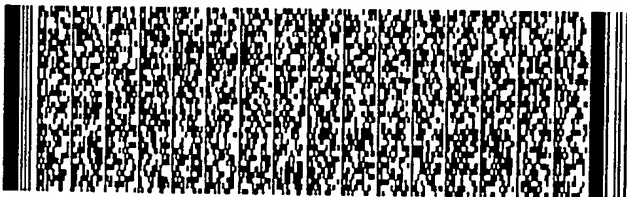
五、發明說明 (3)

其根據第一控制訊號與第二控制訊號來輸出週期性的第三控制訊號；而驅動電路，用以接收第三控制訊號而輸出比該輸入時脈訊號之峰對峰值還大的輸出時脈訊號。

根據上述構想，前級電路包括：第一電晶體，其閘極與汲極相連接至輸入時脈訊號，其源極為第一控制訊號的輸出端；第二電晶體，其閘極為第二控制訊號之輸出端，汲極連接至第一控制訊號的輸出端，源極連接至最高電壓；第三電晶體，其閘極與汲極相連接至互補的輸入時脈訊號，源極連接至第二控制訊號之輸出端；以及第四電晶體，其閘極連接至時脈輸入訊號，汲極連接至第二控制訊號之輸出端，源極連接至最高電壓。

根據上述構想，該開關電路包括：第五電晶體，其閘極相連接至第一控制訊號，汲極連接至最低電壓，源極為第三控制訊號的輸出端；以及第六電晶體，其閘極連接至第二控制訊號，汲極連接至第三控制訊號的輸出端，源極連接至最高電壓。

根據上述構想，驅動電路包括：第七電晶體，其閘極連接至第三控制訊號，源極連接至最高電壓，汲極為一電壓節點；第八電晶體，其閘極與汲極相連接至最低電壓，源極連接至電壓節點；第九電晶體，其閘極相連至電壓節點，源極連接至輸出時脈訊號之輸出端，汲極連接至最低電壓源；以及第十電晶體，其閘極連接至第三控制訊號，汲極連接至輸出時脈訊號之輸出端，源極連接至最高電壓。



五、發明說明 (4)

圖示簡單說明：

本發明的較佳實施例將於往後之說明文字中輔以下列圖形做更詳細的闡述：

第1圖所繪示為本發明之純P型電晶體之電壓準位移位器；

第2(a)、2(B)、2(c)圖之繪示為前級電路針對輸入時脈訊號的變化所導致第一節點電壓與第二節點電壓的變化；

第3(a)、3(b)圖之繪示為開關電路針對第一節點電壓 V_1 與第二節點電壓 V_2 的變化所導致的第三節點電壓 V_3 之變化之波形；以及

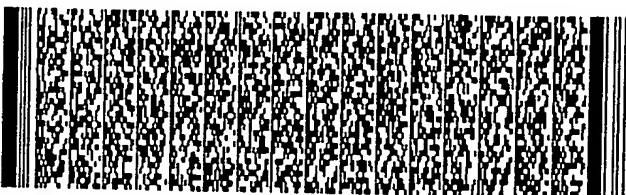
第4(a)、4(b)圖之繪示為驅動電路針對第三節點電壓 V_3 的變化所導致的輸出電壓 V_{OUT} 變化之波形。

圖號對照說明：

- | | | | |
|----|------|----|------|
| 10 | 前級電路 | 20 | 開關電路 |
| 30 | 驅動電路 | | |

發明詳細說明：

本發明係針對習知液晶顯示面板以及電壓準位移位器不能夠整合在一起的缺點，所提出的一種以純P型電晶體



五、發明說明 (5)

所組成之電壓準位移器。

請參照第1圖，其所繪示為本發明之純P型電晶體之電壓準位移器。在本發明中， V_{DD} 代表最高電壓， V_{SS} 代表最低電壓，而 In_1 與 In_2 分別代表一對互補的輸入時脈訊號，亦即當 In_1 為高準位時 In_2 即為低準位，當 In_1 為低準位時 In_2 即為高準位。根據本實施例， V_{DD} 為6V， V_{SS} 為-12V，輸入時脈訊號之高準位為0V，低準為-3.3V。

如第1圖之繪示，在前級電路10中，第一電晶體T1的閘極(G)汲極(D)相連接至 In_1 輸入端，源極(S)代表第一電壓節點(V_1)。第二電晶體T2的閘極(G)代表第二電壓節點(V_2)，汲極(D)連接至第一電壓節點(V_1)，源極(S)連接至最高電壓(V_{DD})。第三電晶體T3的閘極(G)汲極(D)相連接至 In_2 輸入端，源極(S)連接至第二電壓節點(V_2)。第四電晶體T4的閘極(G)連接至 In_1 輸入端，汲極(D)連接至第二電壓節點(V_2)，源極(S)連接至最高電壓(V_{DD})。

在開關電路20中，第五電晶體T5的閘極(G)連接至第一電壓節點(V_1)，汲極(D)連接至最低電壓(V_{SS})，源極(S)代表第三電壓節點(V_3)。第六電晶體T6的閘極(G)連接至第二電壓節點(V_2)，汲極(D)連接至第三電壓節點(V_3)，源極(S)連接至最高電壓(V_{DD})。

在驅動電路30中，第七電晶體T7的閘極(G)連接至第三電壓節點(V_3)，汲極(D)代表第四電壓節點(V_4)，源極(S)連接至最高電壓(V_{DD})。第八電晶體T8的閘極(G)汲極(D)相連接至最低電壓(V_{SS})，源極(S)連接至第四電壓節點



五、發明說明 (6)

(V_4)。第九電晶體T9的閘極(G)連接至第四電壓節點(V_4)，汲極(D)連接至最低壓(V_{SS})，源極(S)代表輸出電壓(V_{OUT})。第十電晶體T10的閘極(G)連接至第三電壓節點(V_3)，汲極(D)連接至輸出電壓(V_{OUT})，源極(S)連接至最高電壓(V_{DD})。

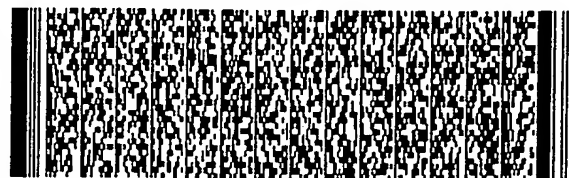
在解釋本發明電壓準位移位器的動作之前，先介紹P型電晶體的特性。臨限電壓(Threshold Voltage, V_t)小於0，當 V_{GS} 小於 V_t 時P型電晶體開啟(Turn On)。而在開啟時，當 V_{GD} 小於等於 V_t 時P型電晶體處於作用區(Triode Region)，汲極電流為， $K[2(V_{GS} - V_t)V_{DS} - V_{DS}^2]$ ，其中K為元件參數(device parameter)。而在開啟時，當 V_{GD} 大於 V_t 時P型電晶體處於飽和區(Saturation Region)，汲極電流為 $K(V_{GS} - V_t)^2$ 。

請參照第2(a)與2(b)圖，其所繪示為前級電路針對輸入時脈訊號的變化所導致第一節點電壓與第二節點電壓的變化。如第2(a)所示，當 In_1 為輸入時脈訊號的高準位(0V)時， In_2 則為輸入時脈訊號的低準位(-3.3V)。由於第一電晶體T1與第三電晶體T3閘極(G)與汲極(D)相連接，因此第一電晶體T1與第三電晶體T3處於飽和區。再者，通過第三電晶體T3與第四電晶體的T4的電流相等，因此：

$$K_4[2(V_{GS4} - V_{t4})V_{DS4} - V_{DS4}^2] = K_3(V_{GS3} - V_{t3})^2$$

而由於

根據適當的設計即可得到V2為2V。



五、發明說明 (7)

同理，由於通過第一電晶體T1與第二電晶體的T2的電流相等，因此：

$$K_2[2(V_{GS2} - V_{t2})V_{DS2} - V_{DS2}^2] = K_1(V_{GS1} - V_{t1})^2$$

而由於 $V_{GS1} = V_{DS1} = (0 - V_1)$, $V_{GS2} = (V_2 - 6) = (2 - 6)$, $V_{DS2} = (V_1 - 6)$

根據適當的設計即可得到 V_1 為4V。

如第2(b)所示，當 In_1 為輸入時脈訊號的低高準位(-3.3V)時， In_2 則為輸入時脈訊號的高低準位(0V)。由於第一電晶體T1與第三電晶體T3閘極(G)與汲極(D)相連接，因此第一電晶體T1與第三電晶體T3處於飽和區。再者，通過第三電晶體T3與第四電晶體的T4的電流相等，因此：

$$K_4[2(V_{GS4} - V_{t4})V_{DS4} - V_{DS4}^2] = K_3(V_{GS3} - V_{t3})^2$$

而由於 $V_{GS3} = V_{DS3} = (0 - V_2)$, $V_{GS4} = (-3.3 - 6)$, $V_{DS4} = (V_2 - 6)$

即可得到 V_2 為4.5V。

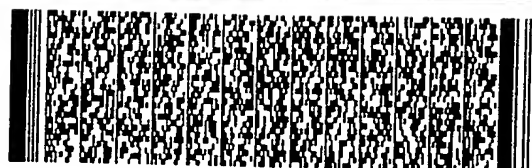
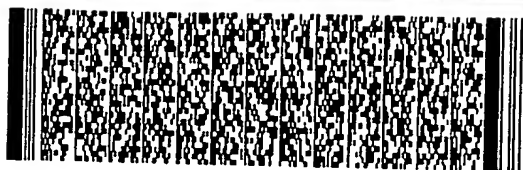
當 V_2 為4.5V時剛好使得第二電晶體T2開啟，因此，開啟初始第二電晶體T2內阻很大， V_1 電壓會急遽下降，但僅需要約0.5us即可到達穩態。而由於通過第一電晶體T1與第二電晶體的T2的電流相等，因此：

$$K_2[2(V_{GS2} - V_{t2})V_{DS2} - V_{DS2}^2] = K_1(V_{GS1} - V_{t1})^2$$

而由於 $V_{GS1} = V_{DS1} = (0 - V_1)$, $V_{GS2} = (V_2 - 6) = (2 - 6)$, $V_{DS2} = (V_1 - 6)$

即可得到穩態的 V_1 為-1.5V。

如第2(c)圖即為輸入時脈訊號所產生的第一節點電壓 V_1 與第二節點電壓 V_2 之間的關係。而根據本發明的實施



五、發明說明 (8)

例，第一電晶體T1、第二電晶體T2、第三電晶體T3、與第四電晶體T4的長寬比依序為 $7\mu\text{m}/6\mu\text{m}$ 、 $6\mu\text{m}/6\mu\text{m}$ 、 $10\mu\text{m}/6\mu\text{m}$ 、與 $6\mu\text{m}/6\mu\text{m}$ 。

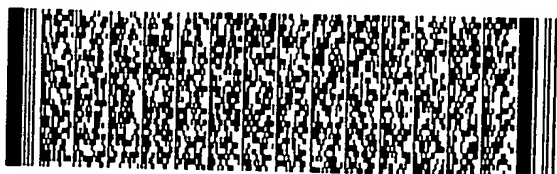
請參照第3(a)，其所繪示為開關電路。當 V_1 為4V， V_2 為2V時，第六電晶體T6開啟，第五電晶體T5關閉，因此第三節點電壓 V_3 可到達VDD的電壓約為6V。當 V_1 為-1.5V， V_2 為4.5V時，第五電晶體T5與第六電晶體T6皆開啟，因此第三節點電壓 V_3 經由分壓之後在穩態時可達到-1.5V。

如第3(b)圖所繪示為針對第一節點電壓 V_1 與第二節點電壓 V_2 的變化所導致的第三節點電壓 V_3 之變化之波形。而根據本發明的實施例，第五電晶體T5、與第六電晶體T6的長寬比依序為 $24\mu\text{m}/6\mu\text{m}$ 、與 $26\mu\text{m}/6\mu\text{m}$ 。

請參照第4(a)，其所繪示為驅動電路。當 V_3 為6V時，第七電晶體T7與第十電晶體T10皆關閉，因此第九電晶體T9開啟，因此輸出電壓 V_{OUT} 即為 V_{SS} 亦即-12V。同理，當 V_3 為-1.5V時，第七電晶體T7與第十電晶體T10皆開啟，而第九電晶體T9閘極(G)電壓因分壓後會使得第九電晶體T9關閉，因此輸出電壓 V_{OUT} 即為 V_{DD} 亦即6V。

如第4(b)圖所繪示為針對第三節點電壓 V_3 的變化所導致的輸出電壓 V_{OUT} 變化之波形。而根據本發明的實施例，第七電晶體T7、第八電晶體T8、第九電晶體T9、與第十電晶體T10的長寬比依序為 $17\mu\text{m}/6\mu\text{m}$ 、 $6\mu\text{m}/6\mu\text{m}$ 、 $7\mu\text{m}/6\mu\text{m}$ 、與 $135\mu\text{m}/6\mu\text{m}$ 。

因此，由前級電路10、開關電路20、與驅動電路30所



五、發明說明 (9)

組合而成之電壓準位移器可以將峰對峰值為3.3V的輸入時脈訊號轉換為峰對峰值為18V的輸出時脈訊號，並且全部為P型電晶體所組成。因此可完全相容於液晶顯示面板的製程，所以本發明純P型電晶體電壓準位移器可直接整合於液晶顯示面板的製程。因此，運用本發明，可以不用另行外購電壓準位移器的積體電路(IC)，而有效降低液晶顯示面板與電壓準位移器的製作成本。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍，凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。



圖式簡單說明

第1圖所繪示為本發明之純P型電晶體之電壓準位移位器；

第2(a)、2(B)、2(c)圖之繪示為前級電路針對輸入時脈訊號的變化所導致第一節點電壓與第二節點電壓的變化；

第3(a)、3(b)圖之繪示為開關電路針對第一節點電壓V1與第二節點電壓V2的變化所導致的第三節點電壓V3之變化之波形；以及

第4(a)、4(b)圖之繪示為驅動電路針對第三節點電壓V3的變化所導致的輸出電壓VOUT變化之波形。



六、申請專利範圍

1. 一純P型電晶體電壓準位移位器，包括：

一前級電路，其根據一輸入時脈訊號與互補的該輸入時脈訊號，產生週期性的一第一控制訊號與一第二控制訊號；

一開關電路，其具有串接於一最高電壓以及一最低電壓之間的二個P型電晶體，且該二個P型電晶體之連接點可輸出週期性的一第三控制訊號，且該第一控制訊號與該第二控制訊號分別耦接至該二個P型電晶體之閘極；以及

一驅動電路，用以接收該第三控制訊號而輸出比該輸入時脈訊號之一峰對峰值還大的一輸出時脈訊號。

2. 如申請專利範圍第1項所述之純P型電晶體電壓準位移位器，其中，該前級電路包括：

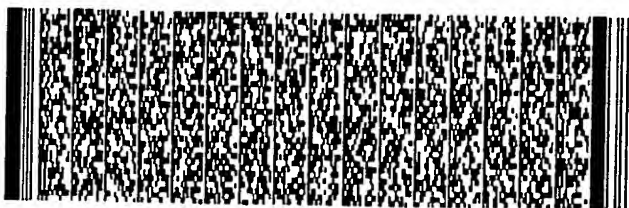
一第一電晶體，其閘極與汲極相連接至該輸入時脈訊號，其源極為該第一控制訊號的輸出端；

一第二電晶體，其閘極為該第二控制訊號之輸出端，汲極連接至該第一控制訊號的輸出端，源極連接至該最高電壓；

一第三電晶體，其閘極與汲極相連接至互補的該輸入時脈訊號，源極連接至該第二控制訊號之輸出端；以及

一第四電晶體，其閘極連接至該時脈輸入訊號，汲極連接至該第二控制訊號之輸出端，源極連接至該最高電壓。

3. 如申請專利範圍第1項所述之純P型電晶體電壓準位移位器，其中，該驅動電路包括：



六、申請專利範圍

一 第五電晶體，其閘極連接至該第三控制訊號，源極連接至該最高電壓，汲極為一電壓節點；

一 第六電晶體，其閘極與汲極相連接至該最低電壓，源極連接至該電壓節點；

一 第七電晶體，其閘極相連至該電壓節點，源極連接至該輸出時脈訊號之輸出端，汲極連接至該最低電壓源；以及

一 第八電晶體，其閘極連接至該第三控制訊號，汲極連接至該輸出時脈訊號之輸出端，源極連接至該最高電壓。

4. 一純P型電晶體電壓準位移器，包括：

一 第一電晶體，其閘極與汲極相連接至一輸入時脈訊號，其源極為一第一控制訊號的輸出端；

一 第二電晶體，其閘極為一第二控制訊號之輸出端，汲極連接至該第一控制訊號的輸出端，源極連接至一最高電壓；

一 第三電晶體，其閘極與汲極相連接至互補的該輸入時脈訊號，源極連接至該第二控制訊號之輸出端；以及

一 第四電晶體，其閘極連接至該時脈輸入訊號，汲極連接至該第二控制訊號之輸出端，源極連接至該最高電壓；

一 開關電路，其根據該第一控制訊號以及該第二控制訊號產生週期性的一第三控制訊號；以及

一 驅動電路，用以接收該第三控制訊號而輸出比該輸



六、申請專利範圍

入時脈訊號之一峰對峰值還大的一輸出時脈訊號。

5. 如申請專利範圍第4項所述之純P型電晶體電壓準位移位器，其中，該開關電路包括：

一第五電晶體，其閘極相連接至該第一控制訊號，汲極連接至一最低電壓，源極為該第三控制訊號的輸出端；以及

一第六電晶體，其閘極連接至該第二控制訊號，汲極連接至該第三控制訊號的輸出端，源極連接至該最高電壓。

6. 如申請專利範圍第4項所述之純P型電晶體電壓準位移位器，其中，該驅動電路包括：

一第七電晶體，其閘極連接至該第三控制訊號，源極連接至該最高電壓，汲極為一電壓節點；

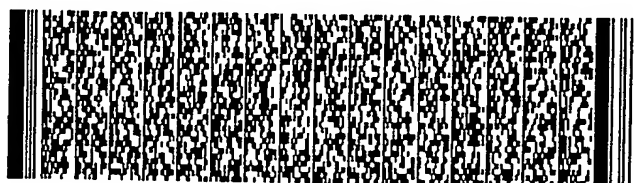
一第八電晶體，其閘極與汲極相連接至該最低電壓，源極連接至該電壓節點；

一第九電晶體，其閘極相連至該電壓節點，源極連接至該輸出時脈訊號之輸出端，汲極連接至該最低電壓源；以及

一第十電晶體，其閘極連接至該第三控制訊號，汲極連接至該輸出時脈訊號之輸出端，源極連接至該最高電壓。

7. 一純P型電晶體電壓準位移位器，包括：

一前級電路，其根據一輸入時脈訊號與互補的該輸入時脈訊號，產生週期性的一第一控制訊號與一第二控制訊



六、申請專利範圍

號；

一開關電路，其根據該第一控制訊號以及該第二控制訊號產生週期性的一第三控制訊號；

一第一電晶體，其閘極連接至該第三控制訊號，源極連接至一最高電壓，汲極為一電壓節點；

一第二電晶體，其閘極與汲極相連接至一最低電壓，源極連接至該電壓節點；

一第三電晶體，其閘極相連至該電壓節點，源極連接至該輸出時脈訊號之輸出端，汲極連接至該最低電壓源；以及

一第四電晶體，其閘極連接至該第三控制訊號，汲極連接至該輸出時脈訊號之輸出端，源極連接至該最高電壓。

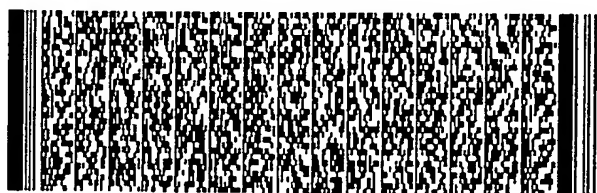
8. 如申請專利範圍第7項所述之純P型電晶體電壓準位移位器，其中，該前級電路包括：

一第五電晶體，其閘極與汲極相連接至該輸入時脈訊號，其源極為該第一控制訊號的輸出端；

一第六電晶體，其閘極為該第二控制訊號之輸出端，汲極連接至該第一控制訊號的輸出端，源極連接至該最高電壓；

一第七電晶體，其閘極與汲極相連接至互補的該輸入時脈訊號，源極連接至該第二控制訊號之輸出端；以及

一第八電晶體，其閘極連接至該時脈輸入訊號，汲極連接至該第二控制訊號之輸出端，源極連接至該最高電



六、申請專利範圍

壓。

9. 如申請專利範圍第7項所述之純P型電晶體電壓準位移位器，其中，該開關電路包括：

一第九電晶體，其閘極相連接至該第一控制訊號，汲極連接至該最低電壓，源極為該第三控制訊號的輸出端；以及

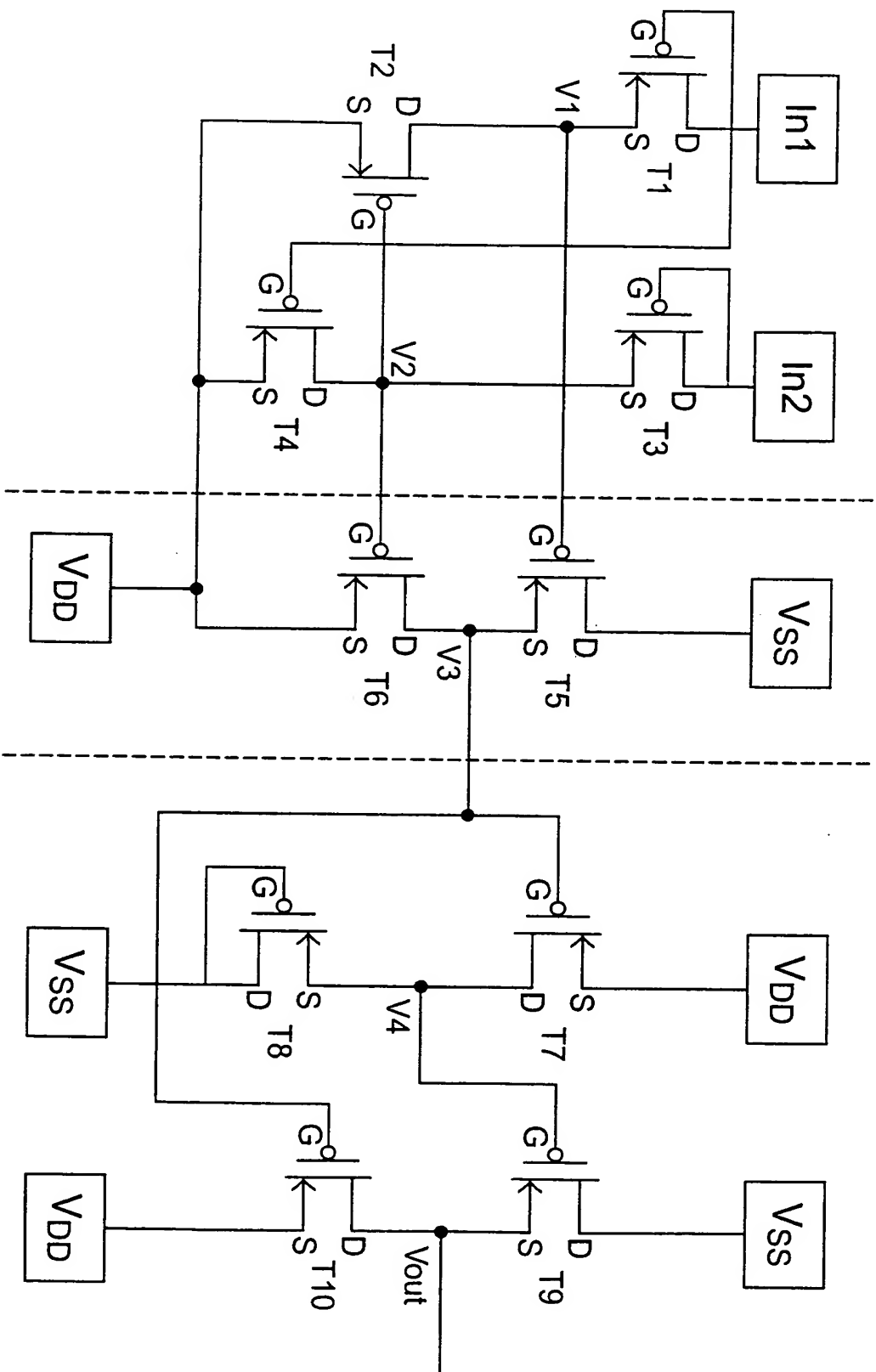
一第十電晶體，其閘極連接至該第二控制訊號，汲極連接至該第三控制訊號的輸出端，源極連接至該最高電壓。



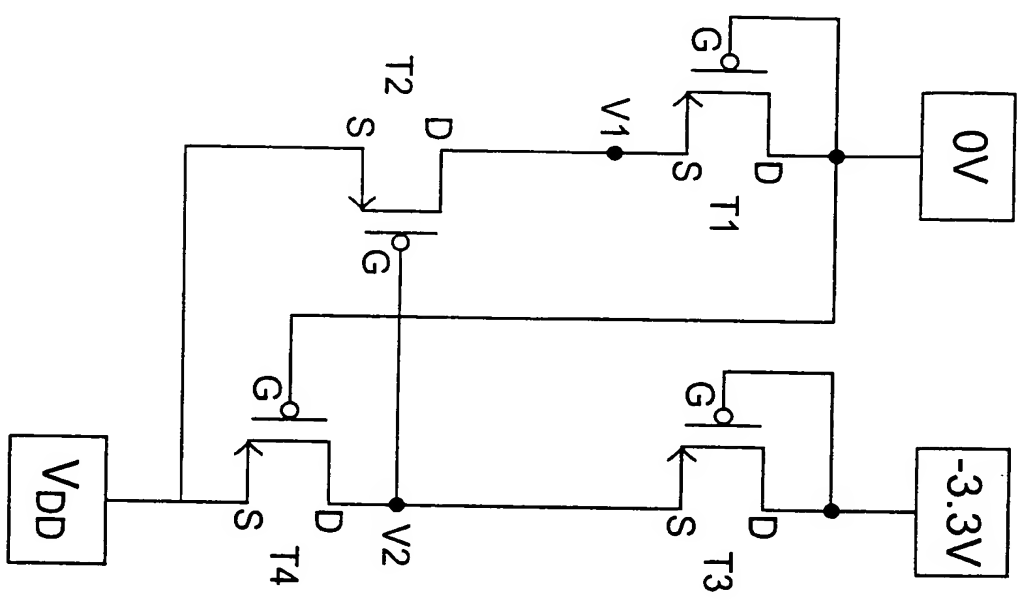
10 前級電路

20 開關電路

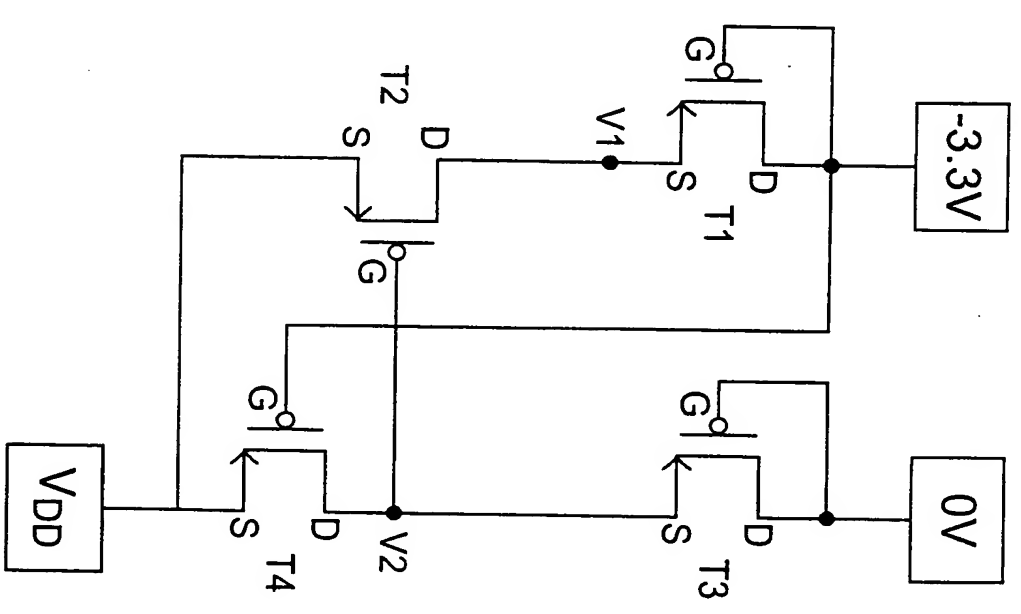
30 驅動電路



第一圖

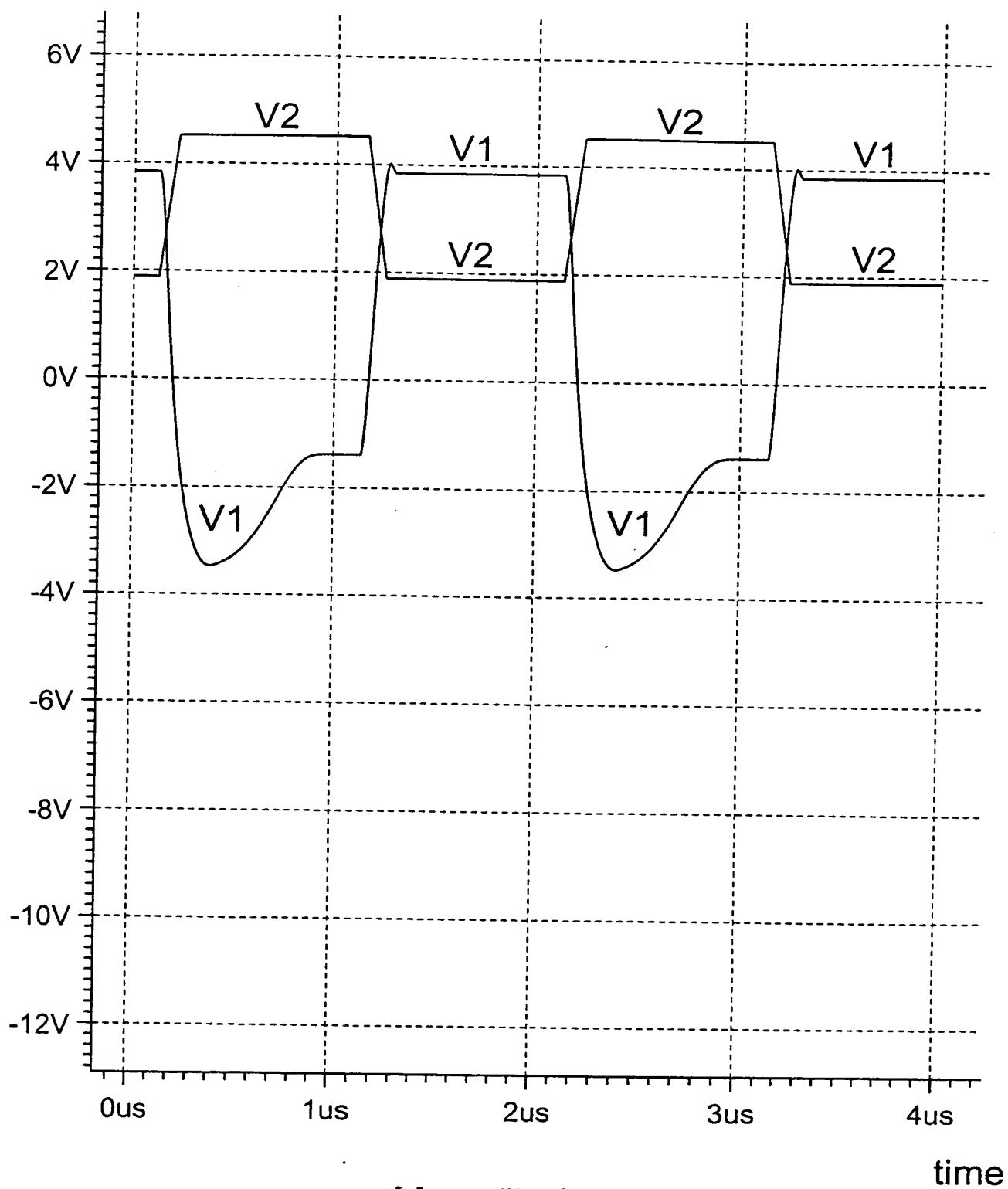


第二圖(a)

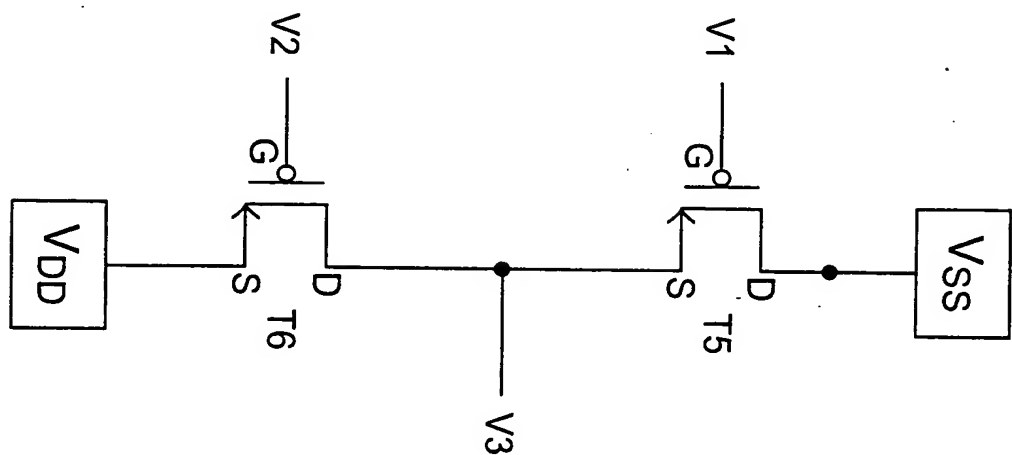


第二圖(b)

Silvaco International



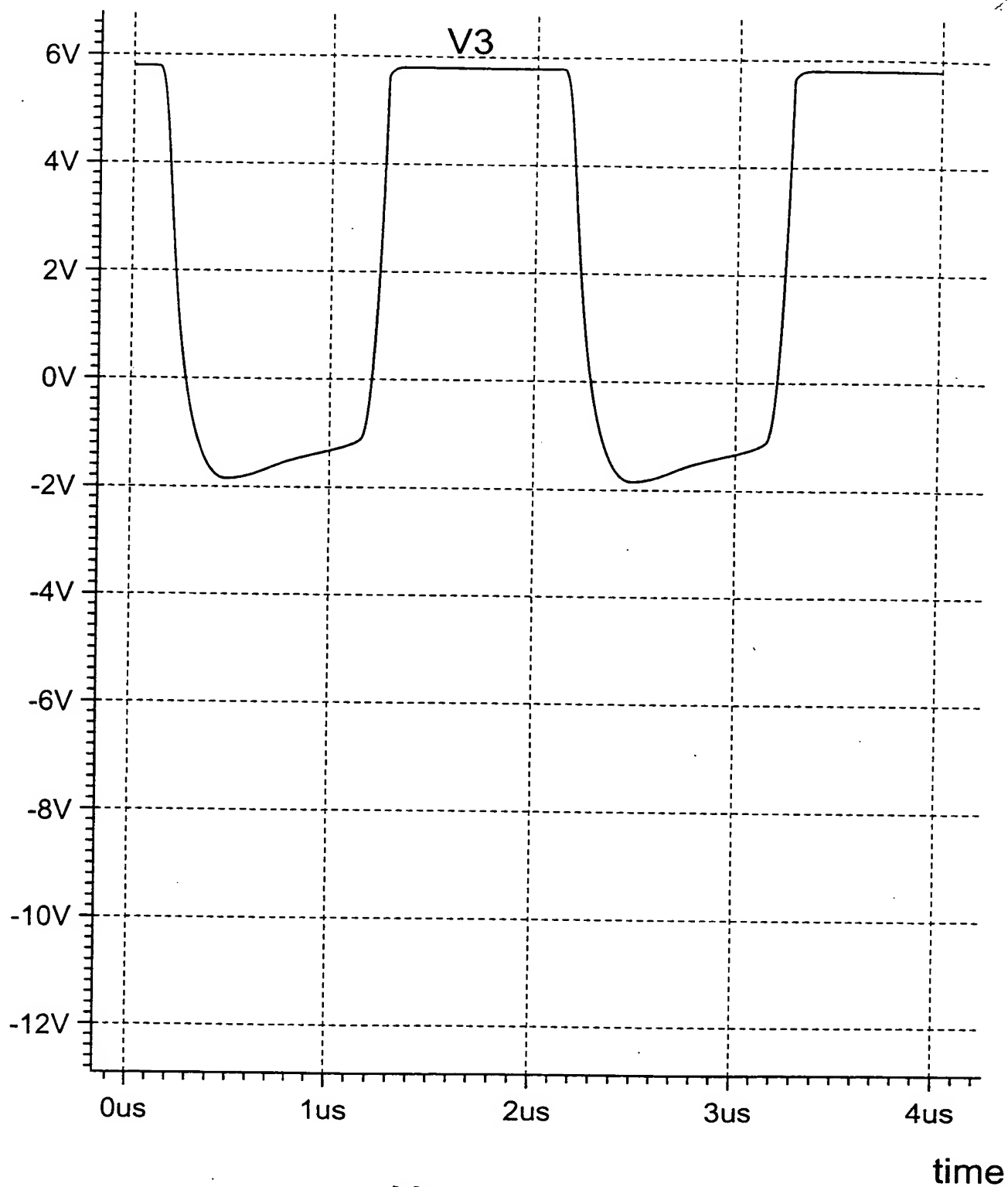
第二圖(c)



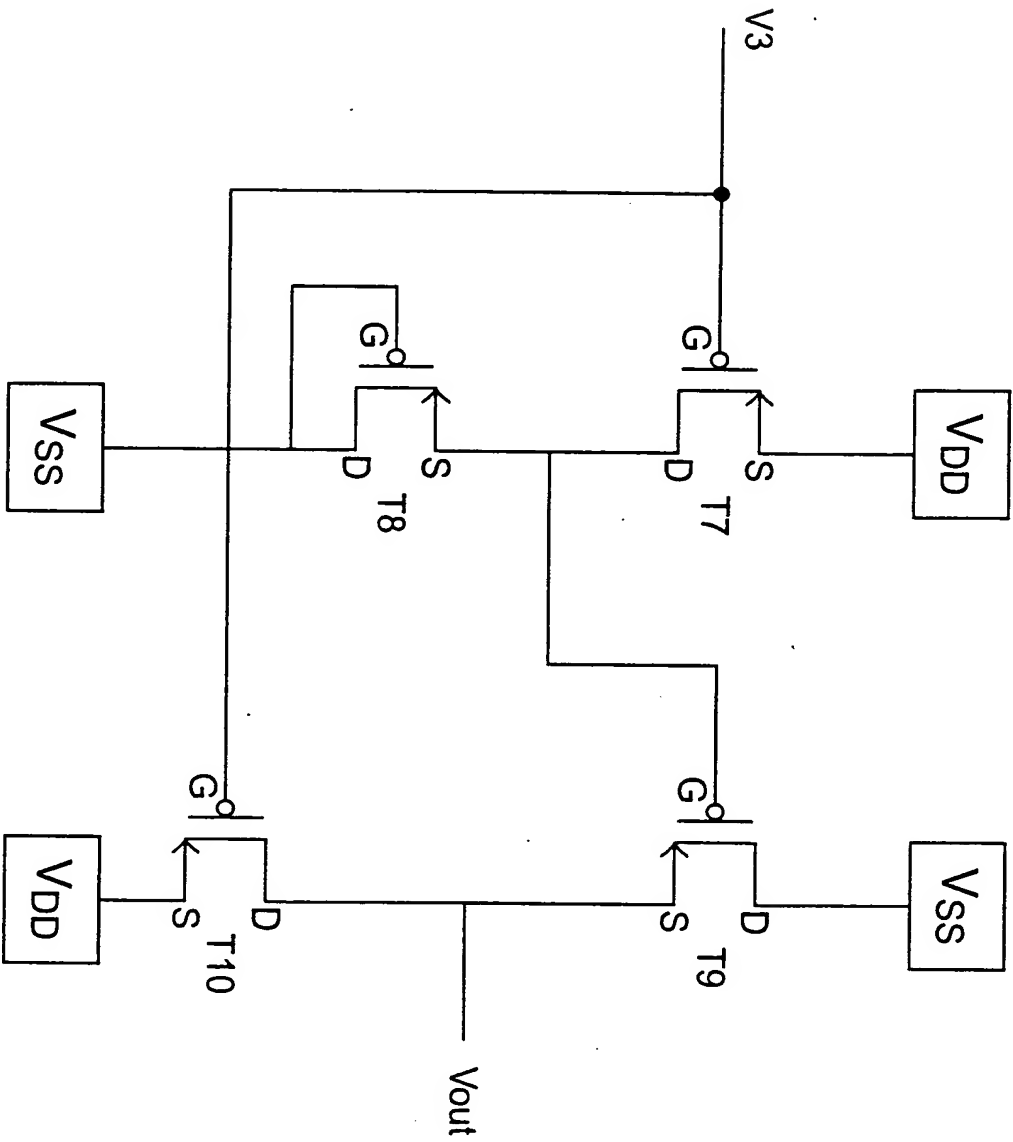
第三圖(a)

圖式

Silvaco International



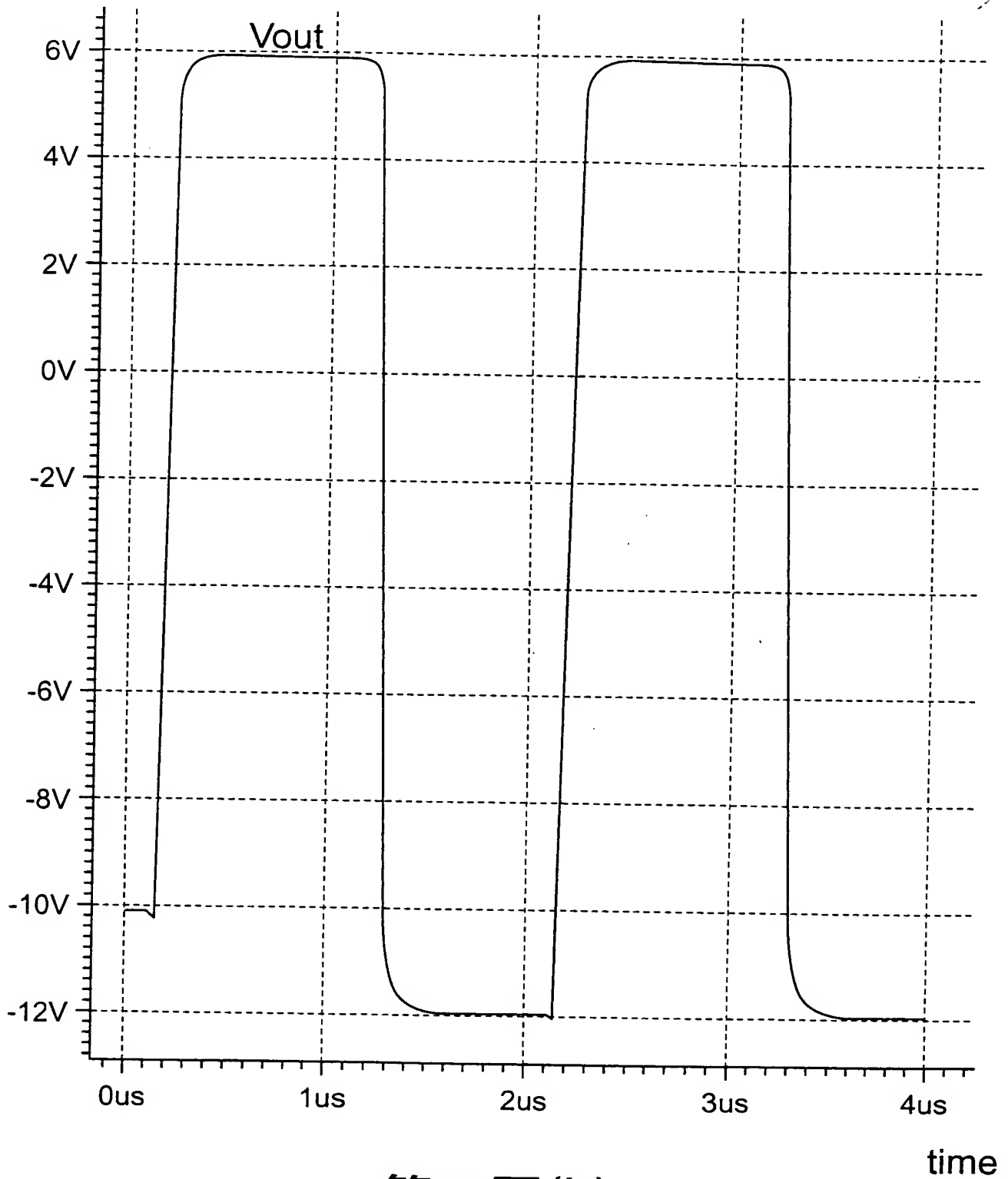
第三圖(b)



第四圖(a)

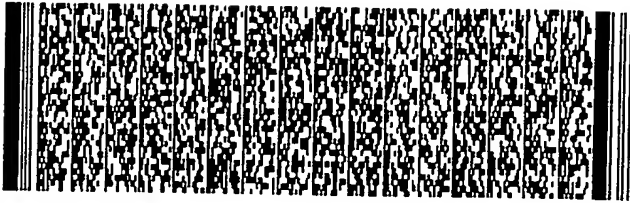
圖式

Silvaco International

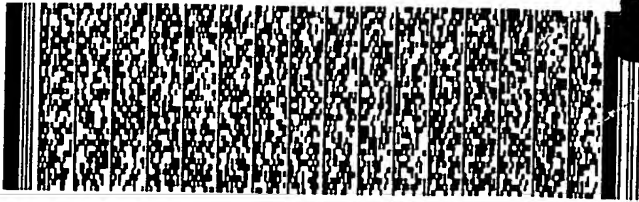


第四圖(b)

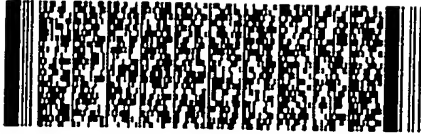
第 1/19 頁



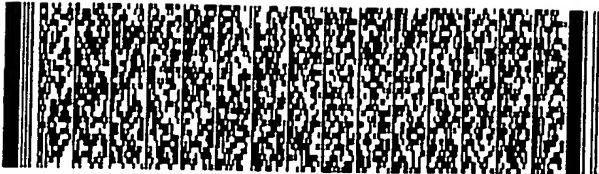
第 2/19 頁



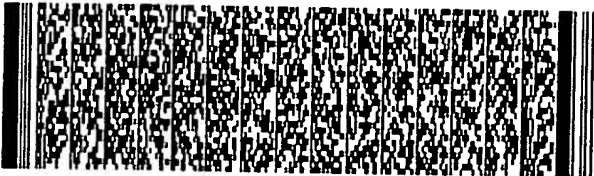
第 3/19 頁



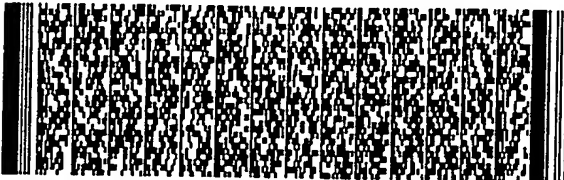
第 5/19 頁



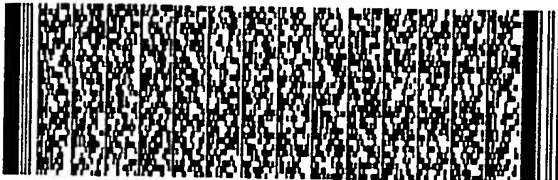
第 5/19 頁



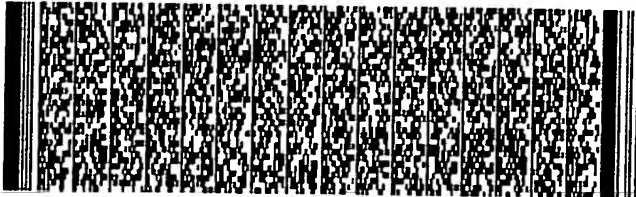
第 6/19 頁



第 6/19 頁



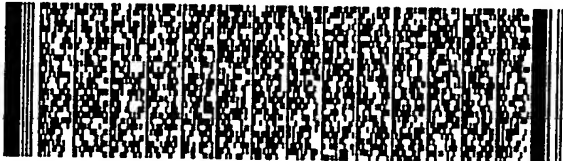
第 7/19 頁



第 8/19 頁



第 9/19 頁



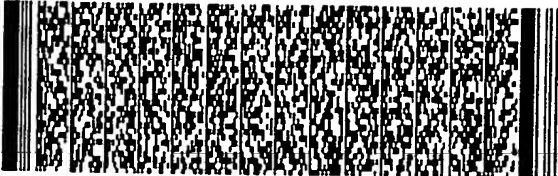
第 9/19 頁



第 10/19 頁



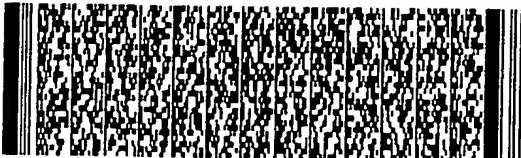
第 10/19 頁



第 11/19 頁



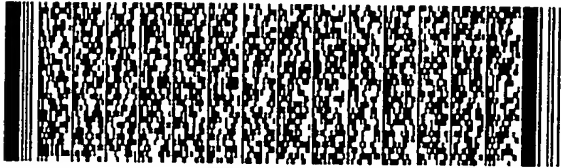
第 11/19 頁



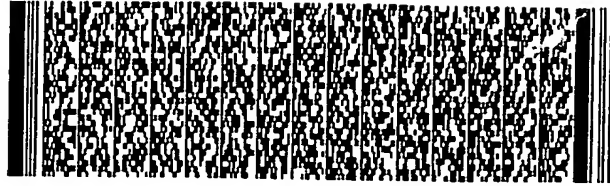
第 12/19 頁



第 12/19 頁



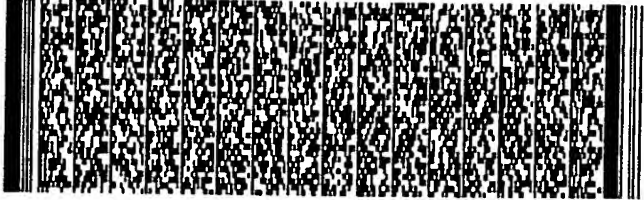
第 13/19 頁



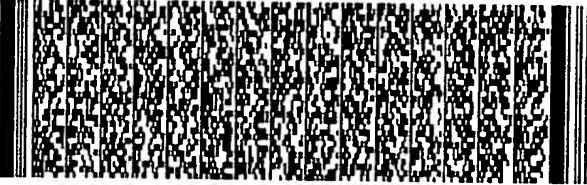
第 14/19 頁



第 15/19 頁



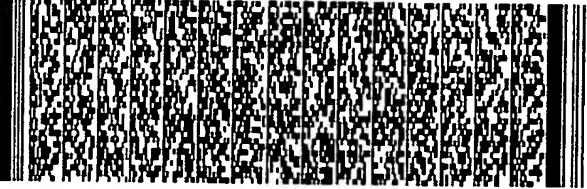
第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

